

UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama
Sidang Akademik 1995/96

Oktober-November 1995

EEE 225 - Elektronik Analog I

Masa : [3 jam].

ARAHAN KEPADA CALON :

Sila pastikan bahawa kertas peperiksaan ini mengandungi 11 muka surat bercetak dan **ENAM (6)** soalan sebelum anda memulakan peperiksaan ini.

Kertas ini mengandungi **ENAM (6)** soalan, **TIGA (3)** dalam Bahagian A dan **TIGA (3)** dalam Bahagian B.

Jawab **LIMA (5)** soalan.

Agihan markah bagi soalan diberikan di sut sebelah kanan soalan berkenaan.

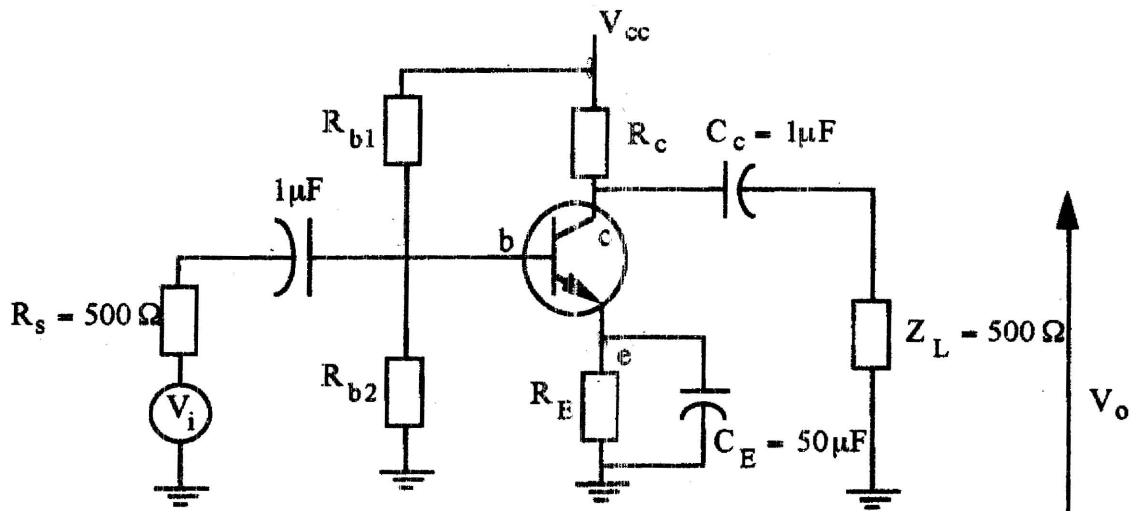
Jawab semua soalan di dalam Bahasa Malaysia.

...2/-

BAHAGIAN A (SECTION A)

1. (a) Rekabentuk sebuah penguat BJT menggunakan tatasusunan dalam Rajah 1. Diberikan $V_{CC} = 20V$, $I_{CQ} = 5 \text{ mA}$, $V_{CE} = 10V$, $V_{BE} = 0.9V$ dan $\beta = 100$. Pilih $V_E = 0.1 V_{CC}$ dan $R_{bb} = 0.1 \beta R_E$. Di sini $R_{bb} = R_{b1}R_{b2}/(R_{b1} + R_{b2})$.

Design an amplifier using a configuration as shown in Fig. 1. The $V_{CC} = 20V$, $I_{CQ} = 5 \text{ mA}$, $V_{CE} = 10V$, $V_{BE} = 0.9V$ and $\beta = 100$. Choose $V_E = 0.1 V_{CC}$ and $R_{bb} = 0.1 \beta R_E$ where $R_{bb} = R_{b1}R_{b2}/(R_{b1} + R_{b2})$.



Rajah 1

Fig. 1

(50%)

- (b) Tentukan frekuensi potong-bawah bagi penguat tersebut dan lukiskan plot Bode.

Determine the lower cut-off frequency of the amplifier and sketch Bode plot.

(50%)

...3/-

2. (a) Rekabentuk penguat pincang sendiri menggunakan JFET saluran-n seperti dalam Rajah 2. Pilih $V_{DD} = 20V$, arus salir I_D sama dengan $I_{DSS}/2$ dan V_{DS} sama dengan $12V$. JFET mempunyai perincian seperti di bawah ini.

$$BV_{GSS} = -30 V$$

$$I_{GSS} = 200 nA$$

$$I_{DSS} = 6 mA$$

$$V_p \text{ (atau } V_{GS}(\text{tutup})) = -2.5 V$$

Ingat :
$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2$$

Design a self-bias circuit of an n-channel JFET amplifier as shown in Fig. 2. Choose a supply voltage of 20V, a drain current I_D of $I_{DSS}/2$ and V_{DS} of 12V. The JFET has a spec

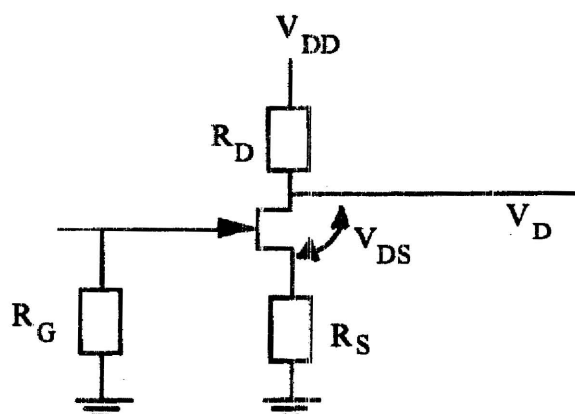
$$BV_{GSS} = -30 V$$

$$I_{GSS} = 200 nA$$

$$I_{DSS} = 6 mA$$

$$V_p \text{ (or } V_{GS}(\text{close})) = -2.5 V$$

Note that:
$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2$$



Rajah 2

Fig. 2

(50%)
...4/-

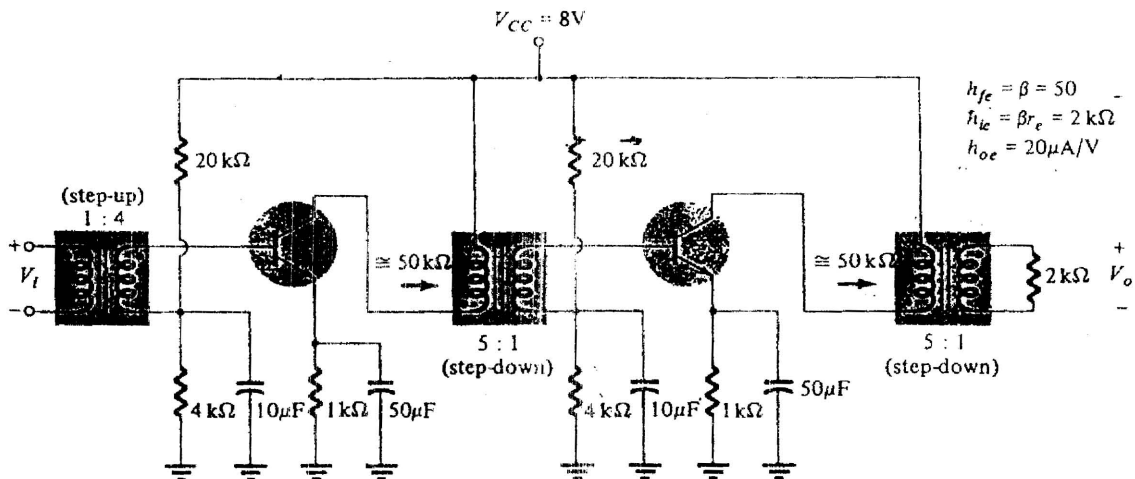
- (b) Analisis galangan masukan, galangan keluaran, gandaan voltan dan arus bagi penguat JFET dalam Rajah 2 di atas dengan mengabaikan r_d transistor tersebut.

Analyse input impedance, output impedance, the voltage and current gain of the above JFET amplifier of Fig. 2 by neglecting r_d of the transistor.

(50%)

3. Tentukan galangan masukan, galangan keluaran dan gandaan voltan bagi rangkaian dalam Rajah 3 berikut ini.

Determine input impedance, output impedance and voltage gain of the following network in Fig. 3.

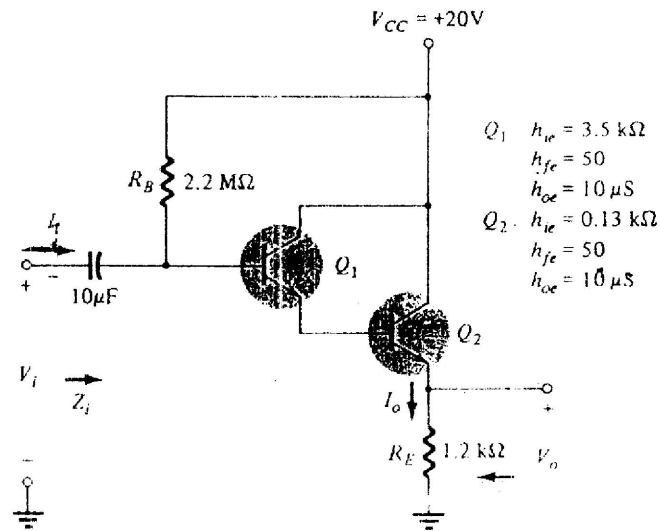


Rajah 3

Fig. 3

- (a) Penguat transistor gandingan Transformer
Transformer-coupled transistor amplifier

(50%)



(b) **Tatasusunan Darlington**
Darlington configuration

Rajah 3
Fig. 3

(50%)

BAHAGIAN B (SECTION B)

4. (a) Huraikan mod operasi untuk amplifler kebezaan. Apakah penolakan mod sepunya?

Explain the modes of signal operation for differential amplifier. What is common mode rejection?

(20%)

- (b) Huraikan 5 daripada parameter op-amp.

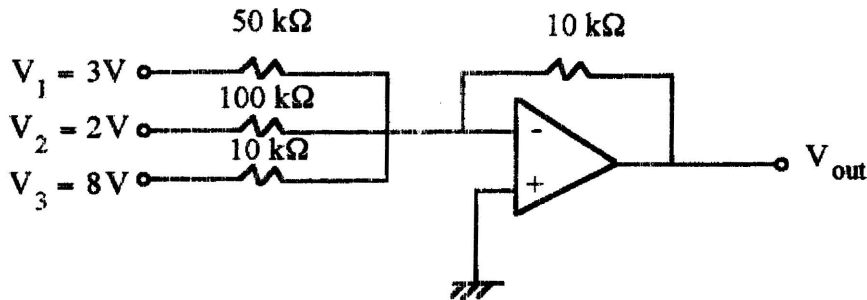
Describe any 5 of the op-amp parameters.

(20%)

- (c) Tentukan nilai bagi setiap voltan masukan untuk penambah skala di dalam Rajah 4.1 dan kirakan voltan keluaran.

Determine the weight of each input voltage for the scaling adder in Fig. 4.1 and find the output voltage.

(20%)



Rajah 4-1

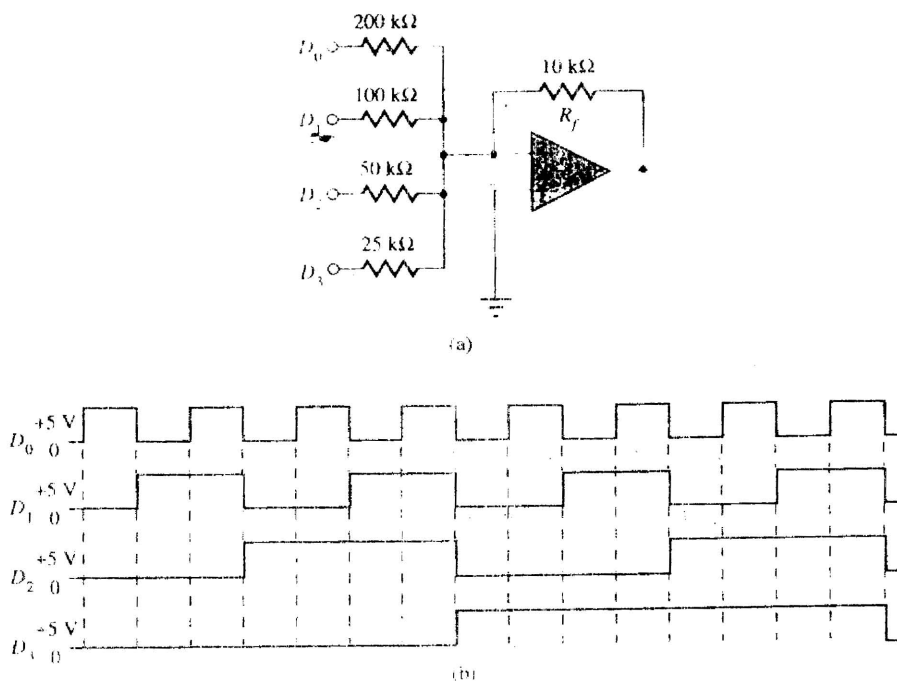
Fig. 4.1

...7/-

- (d) Turutan bagi nombor perduaan empat digit dikenakan pada masukan dan diwakili oleh bentuk gelombang pada Rajah 4.2(b). Paras tinggi merujuk kepada perduaan 1 dan paras rendah merujuk kepada perduaan 0. Nilai D_0 ialah bit digit perduaan yang paling tak berkesan.

Determine the output of the op-amp circuit in Fig. 4.2(a). The sequence of four digit binary numbers represented by the waveforms Fig. 4.2(b) are applied to the input. A high level is a binary 1 and low level is a binary 0. D_0 is the least significant binary digit.

(40%)



Rajah 4.2

Fig. 4.2

5. (a) Takrifkan osilator. Huraikan prinsip bagi suatu osilator.
What is an oscillator? Explain the principle of an oscillator. (30%)
- (b) Terangkan dengan ringkas prinsip bagi osilator titi Wien.
Explain briefly the principle of Wien Bridge Oscillator. (30%)

...8/-

(c) Osilator serta litar suapbalik RC ditunjukkan oleh Rajah 5.1

An oscillator with RC feedback circuit is shown in Fig. 5.1

- (i) Tentukan nilai R_2 di dalam Rajah 5.1 supaya litar tersebut boleh berayun. Abaikan kerintangan depan diod-diod zener.**

Determine the necessary value of R_2 in Fig. 5.1 so that the circuit will oscillate. Neglect the forward resistance of the zener diodes.

- (ii) Huraikan tujuan perintang R_3 di dalam RAjah 5.1.**

Explain the purpose of R_3 in Fig. 5.1.

- (iii) Apakah nilai untung mula gelung tertutup di dalam Rajah 5.1? Apakah nilai voltan keluaran yang menyebabkan A_{cl} berubah? Apakah nilai A_{cl} tersebut.**

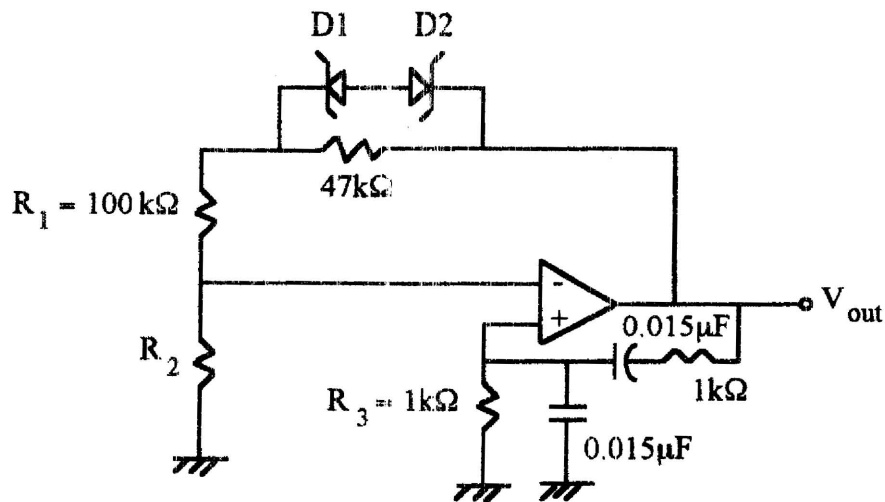
What is the initial closed loop gain in Fig. 5.1? At what value of output voltage does A_{cl} change and to what value does it change?

- (iv) Tentukan frekuensi kendalian.**

Find the frequency of the operation.

(40%)

...9/-



Rajah 5.1

Fig. 5.1

6. (a) Takrifkan pengaturan talian dan beban.

Define line and load regulation.

(20%)

- (b) Apakah tiga jenis pengatur pensuisan? Huraikan secara ringkas satu daripadanya?

What are three type of switching regulators? Explain briefly one of the switching type.

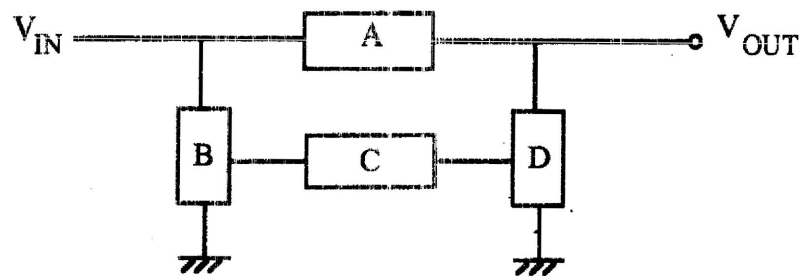
(20%)

- (c) Labelkan fungsi-fungsi blok untuk pengatur voltan (siri asas) seperti ditunjukkan oleh Rajah 6.1.

Label the functional blocks for the voltage regulator (basic series) shown in Fig. 6.1.

(20%)

...10/-

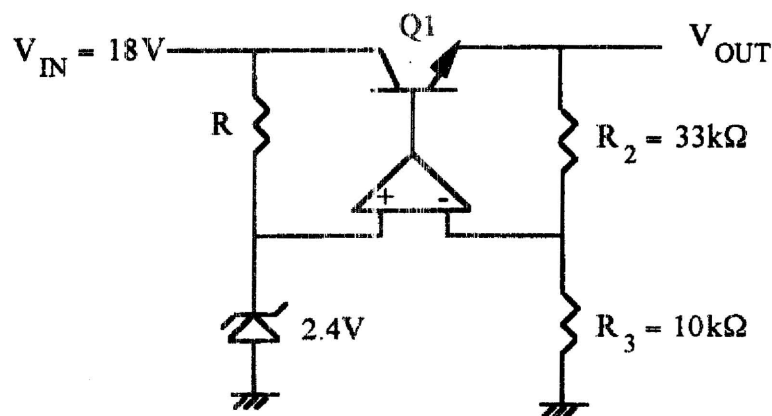


Rajah 6.1

Fig. 6.1

- (d) Tentukan voltan keluaran untuk pengatur seperti ditunjukkan oleh Rajah 6.2.

Determine the output voltage for the regulator in Fig. 6.2.



Rajah 6.2

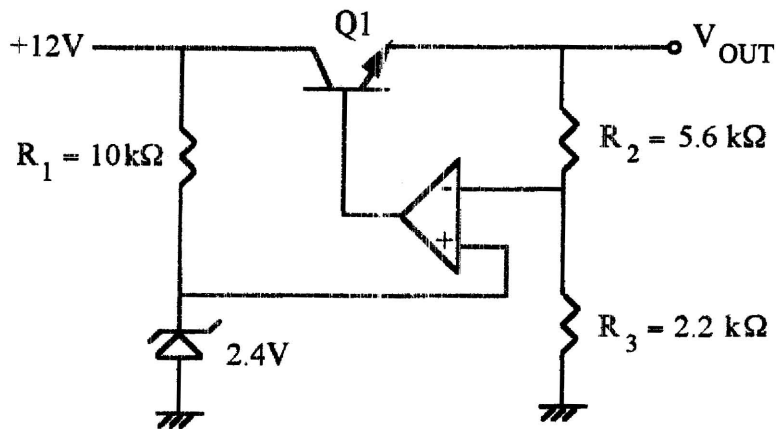
Fig. 6.2

(20%)

- (e) Tentukan voltan keluaran untuk pengatur siri seperti ditunjukkan oleh Rajah 6.3.

Determine the output voltage for the series regulator in Fig. 6.3.

...11/-



Rajah 6.3

Fig. 6.3

- (i) Jika R_3 dalam Rajah 6.3 dinaikkan menjadi $4.7k\Omega$, apakah yang akan berlaku pada voltan keluaran?

If R_3 in Fig. 6.3 is increased to $4.7k\Omega$, what happens to the output voltage?

- (ii) Jika voltan zener ialah $2.7V$, tidak bernilai $2.4V$ seperti ditunjukkan oleh Rajah 6.3, apakah voltan keluaran.

If the zener voltage is $2.7V$ instead of $2.4V$ in Fig. 6.3, what is the output voltage.

(20%)

- oooOooo -